

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03048334 A

(43) Date of publication of application: 01 . 03 . 91

(51) Int. Cl

G06F 9/32

G06F 9/32

(21) Application number: 01182174

(71) Applicant: ADVANTEST CORP

(22) Date of filing: 14 . 07 . 89

(72) Inventor: KATO YOSHIAKI

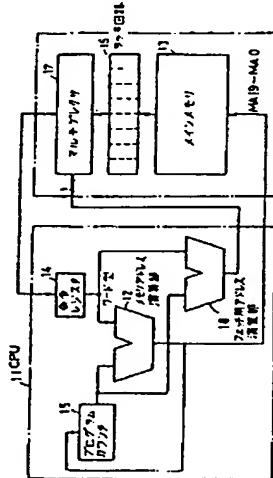
(54) INSTRUCTION FETCHING SYSTEM

(57) Abstract:

PURPOSE: To effectively utilize a high speed CPU by inputting maximum instruction word length from plural latch circuits based upon a fetching address whose number of bits is small to fetch an instruction.

CONSTITUTION: Plural instructions are read out from a main memory 13 and latched by a latch circuit 16, an instruction is fetched from the latch circuit 16 based upon a fetching address and the succeeding instruction is also fetched from the latch circuit 16. Thereby, the number of bits for the fetching address can be reduced, fetching address operation can be executed within a time shorter than the time required for memory address operation and reading from the latch circuit 16 can be executed within a time shorter than that required for reading from the main memory 13. Consequently, the high speed property of the CPU 11 effectively is utilized.

COPYRIGHT: (C)1991,JPO&Japio



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平3-48334

⑫ Int. Cl.

G 06 F 9/32

識別記号

庁内整理番号

310 J 7361-5B  
350 A 7361-5B

⑬ 公開 平成3年(1991)3月1日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 命令フェッチ方式

⑮ 特 願 平1-182174

⑯ 出 願 平1(1989)7月14日

⑰ 発明者 加藤 義昭 東京都練馬区旭町1丁目32番1号 株式会社アドバンテス  
ト内

⑱ 出願人 株式会社アドバンテス 東京都練馬区旭町1丁目32番1号  
ト

⑲ 代理人 弁理士 草野 卓

明細書

1. 発明の名称

命令フェッチ方式

2. 特許請求の範囲

(1) 可変長命令が記憶されたメインメモリから命令をフェッチする命令フェッチ方式において、  
入力されたメモリアドレスから複数命令が含まれる連続する複数アドレス分だけ上記メインメモリを読み出す手段と、

その読み出された各アドレスの内容がそれぞれラッピングされる複数のラッピング回路と、

フェッチ用アドレスに応じてその複数のラッピング回路を選択して命令を取出すマルチブレクサと、

そのマルチブレクサより取出された命令中のワード型と現在のフェッチ用アドレスとから次の命令に対するフェッチ用アドレスを演算して上記マルチブレクサへ供給するフェッチ用アドレス演算部と、

上記マルチブレクサより取出された命令中のワード型と現在のメモリアドレスとから次の命令に

対するメモリアドレスを演算して上記入力されたメモリアドレスとするメモリアドレス演算部と、  
を具備する命令フェッチ方式。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は可変長命令が記憶されたメインメモリから命令をフェッチする命令フェッチ方式に関する。

「従来の技術」

可変長命令は1命令が例えば1ワードの場合、  
2ワードの場合、3ワードの場合(1ワードは例えば16ビット)があり、メインメモリに例えば第4図に示すように、ワードアドレスで1ワードの命令①がアドレス100に、2ワードの命令②がアドレス101、102に、2ワードの命令③がアドレス103、104に、3ワードの命令④がアドレス105、106、107にそれぞれ記憶されている。このようになっているため、命令をフェッチし、その命令内のワード型を調べないと次の命令のアドレスを決めることができない。

従って従来においては第5図に示すようにアドレス100をアクセスし、命令①をフェッチし、その命令①のワード型を調べ、そのワード型1を現在のプログラムカウンタの値100に加算し、その結果得られた次の命令のアドレス101によりメインメモリをアクセスし、その命令②をフェッチし、その命令②のワード型を調べ、そのワード型2をプログラムカウンタの値101に加算し、その結果得られた次の命令のアドレス103でメインメモリをアクセスする。このように従来においては1つの命令をフェッチするためにアドレス計算に1サイクルと、メモリアクセスに1サイクルとの2サイクルを必要としていた。このためCPUが高速で1命令を1サイクルで実行できても、命令フェッチに2サイクルかかってしまい、CPUの高速性を有効に利用できない。

#### 「課題を解決するための手段」

この発明によれば入力されたメモリアドレスから複数命令が含まれるように連続する複数アドレス分がメインメモリから読み出され、これら読み

出された各アドレスの内容は複数のラッチ回路にそれぞれラッチされ、フェッチ用アドレスに応じてこれら複数のラッチ回路がマルチプレクサで選択されて命令が取り出され、その取出された命令中のワード型と現在のフェッチ用アドレスとから次の命令に対するフェッチ用アドレスがフェッチ用アドレス演算部で演算されてマルチプレクサへ供給され、またマルチプレクサから取出された命令中のワード型と現在のメモリアドレスから次の命令に対するメモリアドレスがメモリアドレス演算部で演算される。

#### 「作用」

メインメモリから1回に複数命令分読み出されてラッチ回路にラッチされ、そのラッチ回路からフェッチ用アドレスで命令をフェッチし、次の命令のフェッチもラッチ回路から行われ、従ってフェッチ用アドレスのビット数が少なくて済み、フェッチ用アドレスの演算はメモリアドレスの演算より短時間で行うことができ、かつラッチ回路からの読み出しはメインメモリからの読み出しそよ

もはるかに短い時間で行うことができる。またラッチ回路から命令をフェッチし、しかもラッチ回路には複数の命令がラッチされているため、ラッチ回路よりフェッチした命令のワード型を用いてメモリアドレスの演算を行っている間に、その前に演算したメモリアドレスでメインメモリをアクセスすることができ、1サイクルで命令フェッチを行うことができる。

#### 「実施例」

第1図にこの発明の実施例を示す。CPU11内のメモリアドレス演算部12により演算されたメモリアドレスMA19～MA0によりメインメモリ13がアクセスされ、メインメモリ13から読み出された命令はCPU11内の命令レジスタ14にフェッチされる。命令レジスタ14内の命令中のワード型とプログラムカウンタ15の内容とがメモリアドレス演算部12へ供給されて次の命令のメモリアドレスが演算され、そのメモリアドレスはメインメモリ13へ供給されると共にプログラムカウンタ15にセットされる。

この発明ではメインメモリ13にメモリアドレスが供給されると、複数の命令が含まれるように連続する複数のアドレスが同時に読み出され、これら読み出された各アドレスの内容は複数のラッチ回路16にラッチされる。マルチプレクサ17がフェッチ用アドレスFA2～FA0により制御されて、ラッチ回路16が選択されて命令が命令レジスタ14にフェッチされる。命令レジスタ14の命令ワード型とプログラムカウンタ15の出力の下位3ビットとがフェッチ用アドレス演算部18へ供給されてフェッチ用アドレスFA2～FA0が演算される。

この実施例では最も長い命令が4ワードの場合で、メインメモリ13から1度に必ず2命令が読み出されるように連続する8アドレス分が読み出される。つまり最大命令語長の2つ分以上の連続するアドレスが読み出される。このため第2図に示すようにメインメモリ13はアドレス0+n16(n=0, 1, 2, ..., )、アドレス1+n16、アドレス2+n16、...アドレスP+n16

の16ブロックに分割され、アドレス0+n16のブロックとアドレス8+n16のブロックの各出力側はラッチ回路16.に接続され、アドレス1+n16のブロックとアドレス9+n16のブロックの各出力側はラッチ回路16.に接続され、以下同様に8アドレス離れた2ブロックの各出力側がラッチ回路16.～16.にそれぞれ接続される。

メモリアドレスMA19～MA0中の下位4ビットMA3～MA0はデコーダ21へ供給され、デコーダ21の出力によりその4ビットMA3～MA0の値から選択する8ブロックが選択される。例えばビットMA3～MA0がアドレス0であれば、アドレス0+n16のブロックが乃至アドレス7+n16のブロックが選択され、ビットMA3～MA0がアドレス4であればアドレス4+n16のブロック乃至アドレス8+n16のブロックが選択され、ビットMA3～MA0がアドレス8であればアドレスD+n16のブロック乃至アドレスF+n16のブロック及びアドレス0+n16

のブロック乃至アドレス4+n16のブロックが選択される。

メモリアドレスの上位ビットMA19～MA4でアドレス8+n16のブロック乃至アドレスF+n16のブロックが直接アクセスされ、上位ビットMA19～MA4を補正回路22を通したものでアドレス0+n16のブロック乃至アドレス7+n16のブロックがアクセスされる。補正回路22はメモリアドレス中のビットMA3が“0”の時は上位ビットMA19～MA4をそのまま通過し、ビットMA3が“1”的時は上位ビットMA19～MA4に1を加わえる。つまり、下位ビットMA3～MA0のアドレスが9以上の場合で、デコーダ21の出力による8ブロックの選択が、アドレス8+n16のブロック乃至アドレスF+n16のブロックの領域で不足して更にアドレス0+n16のブロック乃至アドレス7+n16のブロックの領域を加える場合はメモリアドレスMA19～MA4に+1してアドレス0+n16のブロック乃至アドレス7+n16のブロックを

アクセスする。

このようにしてメモリアドレス中の上位ビットMA19～MA4によりアクセスされた16のアドレス中のデコーダ21の出力により選択されている8つのブロックの出力がラッチ回路16.～16.にそれぞれラッチされる。

ラッチ回路16.～16.の各出力側は二つのマルチプレクサ17a, 17bにそれぞれ接続されている。命令フェッチの時はマルチプレクサ23はB側を選択し、フェッチ用アドレスFA2～FA0がマルチプレクサ制御部24へ供給される。マルチプレクサ制御部24はフェッチ用アドレスFA2～FA0から最大命令語長、例えば4ワード分をラッチ回路16.～16.から選択して取出すようにマルチプレクサ17a, 17bを制御する。例えばフェッチ用アドレスFA2～FA0がその場合、ラッチ回路16.～16.の各内容をそれぞれマルチプレクサ17a, 17bから取出した後、ラッチ回路16.～16.の各内容をそれぞれマルチプレクサ17a, 17bから取出

す。フェッチ用アドレスFA2～FA0が6の場合は、ラッチ回路16.～16.の各内容をそれぞれマルチプレクサ17a, 17bから取出した後、ラッチ回路16.～16.の各内容をそれぞれマルチプレクサ17a, 17bから取出す。このようにしてフェッチ用アドレスFA2～FA0により指定された命令がマルチプレクサ17a, 17bを通じてラッチ回路16.～16.からフェッチされてCPU11に供給される。

なお実行中の命令に含まれるデータによりアドレス指定されてメインメモリ13を読み出す場合はそのアドレスMA19～MA0中のビットMA19～MA4によりメインメモリ13がアクセスされ、ビットMA3～MA0がデコーダ21へ供給される、ビットMA2～MA0がマルチプレクサ23のA側を通じてマルチプレクサ制御部24へ供給される。

上述したように構成されているため、例えば第4図に示したメインメモリ13から命令をフェッチする場合、第3図に示すように動作させること

ができる。つまり最初の命令をメモリからフェッチするCPUサイクル1でメモリアドレス100をアクセスし、CPUサイクル1の終りでフェッチ用アドレス0により命令①をフェッチし、CPUサイクル2でその命令①のワード型1を用いて次の命令のメモリアドレスとフェッチ用アドレスとの各演算が行われる。フェッチ用アドレスは3ビットの演算であり短時間で行われ、フェッチ用アドレスは1となり、これによりラッチ回路16がアクセスされ、CPUサイクル2の終りで命令②がフェッチされると共にメモリアドレスの計算結果101が確定することによりメインメモリ13がCPUサイクル3でアクセスされ、これと共にフェッチした命令②のワード型2により次の命令のメモリアドレス及びフェッチ用アドレスの各演算が行われる。フェッチ用アドレスは短時間で3となり、これによりラッチ回路16がアクセスされ、CPUサイクル3の終りで命令③がフェッチされると共にメモリアドレスの計算結果103が確定し、CPUサイクル4でメインメモリ13が

アクセスされ、これと共にフェッチした命令③のワード型2により次の命令のメモリアドレス及びフェッチ用アドレスの各演算が行われる。

このようにラッチ回路16には複数の命令がラッチされており、これを選択するためのフェッチ用アドレスの演算はビット数が少ないため、メモリアドレスの演算より短時間で行うことができるため、1サイクルで次の命令をラッチ回路16からフェッチすることができ、またメインメモリのアクセスと、次のメモリアドレスの演算とを同一サイクルで行うことができ、結果として1サイクルで命令のフェッチを連続的に行うことができる。

#### 「発明の効果」

以上述べたようにこの発明によればメモリアドレスにより複数の命令を含む連続した複数のアドレスを読み出し、これらを複数のラッチ回路にラッチし、これら複数のラッチ回路からビット数が少ないフェッチ用アドレスにより最大命令語長分を取込むことにより命令をフェッチするものであるため、次のフェッチ用アドレスを短時間で演算

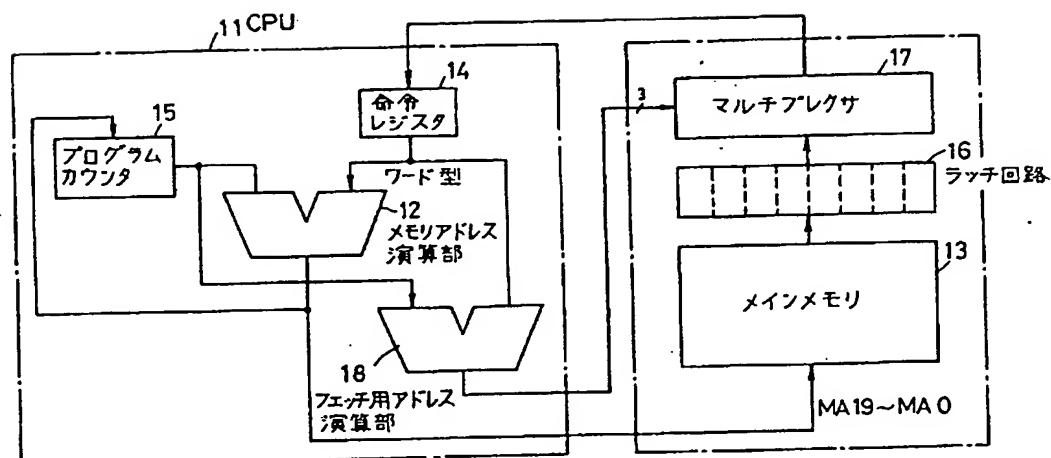
し、このフェッチ用アドレスで次の命令を複数のラッチ回路からフェッチするものであり、このためメモリアドレスの演算を行うと共に、その直前に演算したメモリアドレスでメインメモリを同時にアクセスすることができ、1サイクルで1命令のフェッチが可能であり、1サイクルで1命令を実行する高速のCPUを有効に利用できる。

#### 4. 図面の簡単な説明

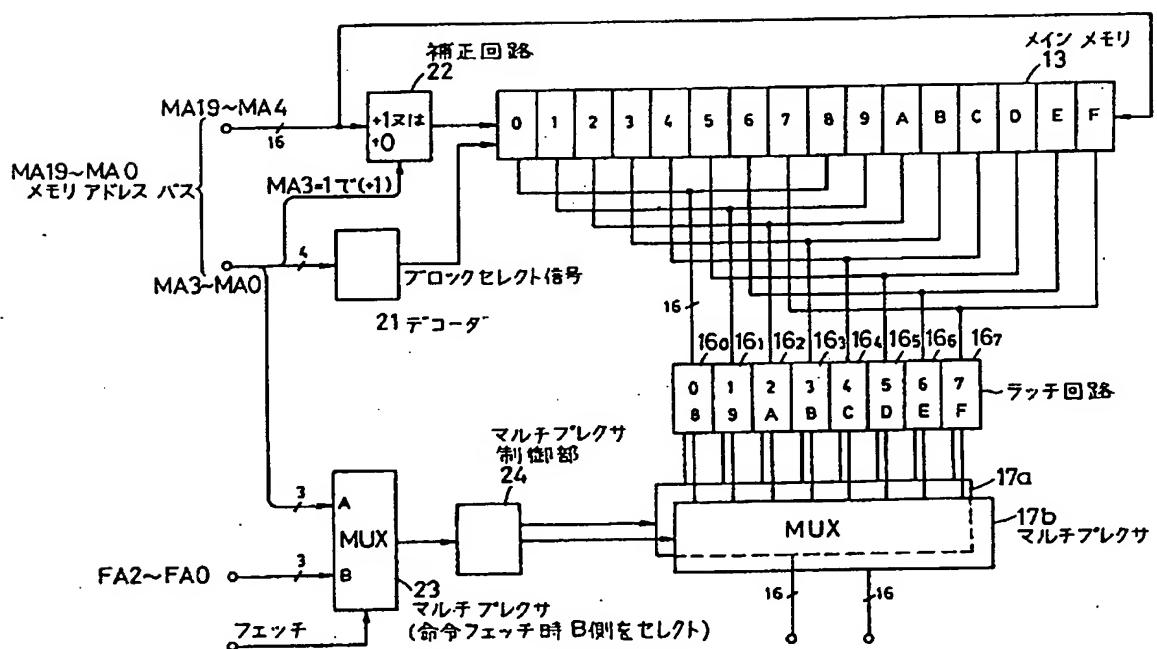
第1図はこの発明の実施例を示すブロック図、第2図はその要部の具体例を示すブロック図、第3図はこの発明の動作の具体例を示すタイムチャート、第4図は可変長命令を記憶したメインメモリの例を示す図、第5図は従来の命令フェッチ方式の動作例を示すタイムチャートである。

特許出願人 株式会社アドバンテスト  
代理人 草野卓

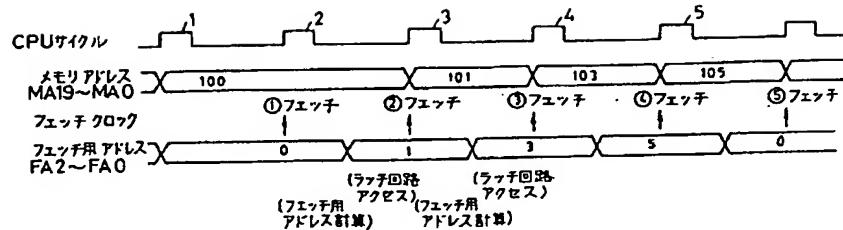
オ 1 図



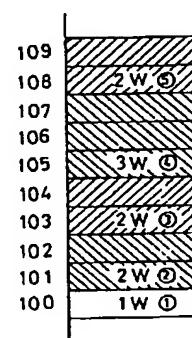
オ 2 図



オ 3 図



オ 4 図



オ 5 図

